

一种新型跟踪式逐次逼近模数转换器

于宝亮, 冯海刚

(清华大学 深圳研究生院, 广东 深圳 518055)

摘 要: 为了降低功耗和复杂度, 采用复用量化器结构, 而不需要传统结构中的减法和数模转换器模块(DAC), 实现一低功耗简单的跟踪式模数转换器. 量化器采用 8 bit 电容单调式切换的逐次逼近模数转换器(SAR ADC). 另外, 为了进一步提高效率, SAR ADC 中的比较器采用时间域比较器实现. 经过在 90 nm CMOS 工艺下仿真验证, 设计的 ADC 采样速度 16 MHz, 8 倍过采样率(OSR). 经过数字滤波处理, 输入信号频率为 227 kHz 时, 可以实现 59.6 dB 的信噪失真比(SNDR), 功耗 28.5 μ W, 品质因数(FOM) 18.4 fJ/step. 另外, 由于转换过程主要在数字域实现, 这种 ADC 便于移植到更先进的工艺, 并获得更好的效率.

关键词: 跟踪式模数转换器; 逐次逼近模数转换器; 时间域比较器; 低功耗; 高效率

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2018)01-0124-04

A New Tracking SAR ADC

YU Bao-liang, FENG Hai-gang

(Graduate School at Shenzhen, Tsinghua University, Shenzhen 518055, China)

Abstract: This paper presents a tracking analog-to-digital converter (ADC). By reusing the quantizer, the tracking ADC no longer needs subtraction and digital-to-analog (DAC) module that the conventional structure needs. This technique could decrease the power consumption and the chip area. The quantizer adopts 8-bit monotonic switching scheme successive-approximation-register (SAR) ADC. In addition, to further increase efficiency, a time domain comparator is used to replace the analog domain comparator. This ADC is simulated in a 90 nm CMOS technique. It works with 16MHz sampling rate, 8 over sampling rate (OSR). It achieves 59.6dB SNDR for an input signal around 227 KHz with the help of a simple digital low pass filter. Counting in the filter, it consumes 28.5 μ W power under 1-Vsupply. The figure-of-merit (FOM) is 18.4 fJ/STEP. In addition, such topology brings us the advantage of easy design migration among technology nodes for seeking greater efficiency improvement.

Key words: tracking ADC; SAR ADC; time domain comparator; low power; high efficiency

1 引言

随着工艺的进步, 芯片的电源电压和动态功耗逐渐降低, 而特征频率不断提高. 因此主要是数字电路的 SAR ADC 成为研究热点. 近几年, 出现很多有关 SAR ADC 的新技术. 文献[1]引入单调式电容切换 SAR ADC 技术, 大幅减小了 DAC 的开关功耗. 而文献[2]使用时间域比较器不仅提高了 SAR

ADC 的效率, 也使其更适用于先进工艺节点. 然而随着应用对分辨率要求的提高, SAR ADC 的功耗和面积也随之增大, 效率开始下降. 文献[3]采用 SAR ADC 和时间域量化的两级混合结构 ADC, 获得较高的 SNDR 和效率. 而文献[4]引入噪声整形技术, 获得 10 bit 的有效位数(ENOB). 本文基于高效率 SAR ADC, 并进行复用, 设计一具有较高效率的跟踪式 ADC.

2 跟踪式逐次逼近模数转换器系统

2.1 跟踪式模数转换器系统结构

图 1(a)是传统的跟踪式模数转换器框图. 包括减法模块、量化器、积分器和数模转换模块等. DAC 将上次转换结果转成模拟信号, 并输出到减法模块. 减法模块计算出其与当前输入信号的差值送到量化器进行量化. 积分器将量化结果进行累加得到转换结果. 文献[5]中的跟踪式 SAR ADC 采用基于共模电压的 SAR ADC 作为量化器, 用额外的电容阵列实现减法和 DAC. 其需要较大的面积和功耗. 图 1 (b)所示为本文提出的结构: 复用量化器, 同时实现

量化和减法和数模转换功能. 图 2 是其详细框图. 其中量化器采用电容单调式切换 SAR ADC 实现. 图中电容阵列在控制电路控制下实现功能复用. 积分器使用累加器实现. 另外, 由于设计的 ADC 工作在 8 倍 OSR 下, 增加了数字滤波器以提高信噪比.

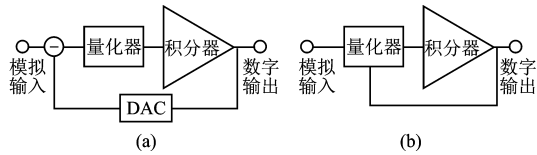


图 1 跟踪式 ADC 框图

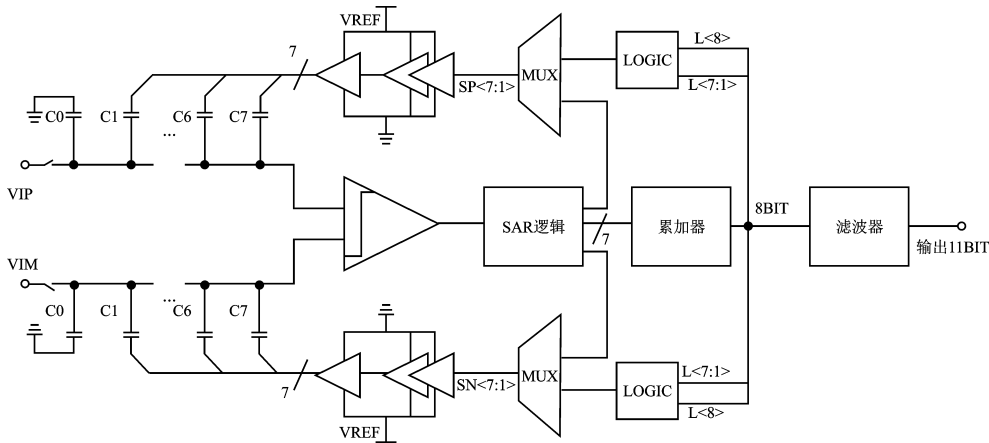


图 2 提出的跟踪式 ADC 架构

2.2 转换过程

提出的跟踪式 ADC 工作时序如图 3 所示, 在 160 MHz 外部时钟控制下工作, 一次转换需要 10 个周期. 在第一个周期, 电容阵列上极板采样差分输入信号 VIP 和 VIM, 而下级板根据上次转换结果 L[8:1]连接参考电压 VREF 或者地.

在第二个周期, 电容阵列的上极板将悬空, 而下级板全部切换到 VREF. 由电荷守恒可知, 电容阵列上极板电压 V_P 和 V_N 分别如式(3)和式(4)所示.

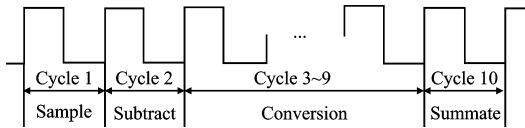


图 3 转换时序

当最高位 $L[8]$ 是 ‘1’ 时, P 侧电容阵列第 i 个电容下级板连接到 $L[i] * VREF$, 而 N 侧的全部连到地. 这时存储在 P 侧和 N 侧电容阵列的电荷 Q_P 和 Q_N 分别如式(1)和式(2)所示.

$$V_P = VIP - \frac{\sum_{i=1}^7 2^{i-1} L[i] * VREF}{2^7} + \frac{2^7 - 1}{2^7} VREF \tag{3}$$

$$V_N = VIM + \frac{2^7 - 1}{2^7} VREF \tag{4}$$

因此比较器的输入电压 $V_P - V_N$ 如式(5) 所示.

$$V_P - V_N = (VIP - VIM) - \frac{\sum_{i=1}^7 2^{i-1} L[i] * VREF}{2^7} \tag{5}$$

式(5)的第一项为差分输入信号, 而第二项为上次的转换结果. 因此经过两个周期得到当前输入值和上次转换结果的差值. 周期 3~9 为 SAR ADC 转换这个差值. 由于这个差值的幅度在 8 倍 OSR 时始终小于 $VREF/2$. 因此只需要 7 个周期可以实现 8

$$Q_P = 2^7 C_u * VIP - \sum_{i=1}^7 2^{i-1} L[i] * C_u * VREF \tag{1}$$
$$Q_N = 2^7 C_u * VIM \tag{2}$$

bit 的精度. 累加器在第十个周期进行累加得到转换结果.

当最高位 $L[8]$ 为 ‘0’ 时, 有不同的操作. 在第一个周期, 电容阵列的上极板仍然是采样差分输入信号. 不同的是 P 侧电容阵列第 i 个电容下级板全部切换到地, 而 N 侧的切换到 $LB[i] * VREF$. $LB[i]$ 是 $L[i]$ 的反相. 在第二个周期操作相同, 但是得到不同 V_P 和 V_N :

$$V_P - V_N = (VIP - VIM) - \left(- \frac{\sum_{i=1}^7 2^{i-1} LB[i] * VREF}{2^7} \right) \quad (6)$$

式中, 第二项仍然为上次转换的结果. 项中的负号为符号位 $L[8]$. 接下来的几个周期操作和最高位为 ‘1’ 时相同. 这样就复用量化器, 并实现了跟踪式 ADC.

设计中的滤波器也是采用累加器. 每 10 个周期累加一次, 并在累加 8 次后输出一个 11 bit 数据.

3 关键电路的实现

3.1 时间域比较器

如图 4 所示, 时间域比较器包括一个动态的放大器、两个缓冲器和一个 R-S 锁存器. 动态放大器将输入信号转换到时间域. 而 R-S 锁存器起到相位检测的作用. 它能够根据动态放大器的两个输出的下降沿到来的先后给出对应的比较结果.

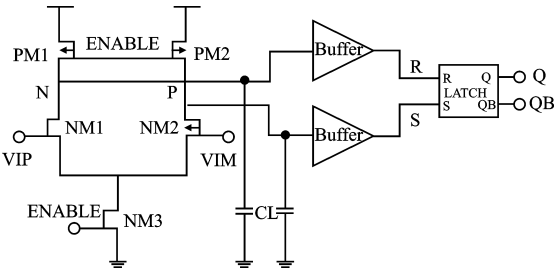


图 4 时间域比较器原理图

时间域比较器的操作时序如图 5 所示. 当控制信号 ENABLE 为低电平时, 节点 P 和 N 被复位到 VDD. R-S 锁存器的输出 Q 和 QB 全变为 ‘0’. 当 ENABLE 变为高电平时, PM1 和 PM2 关闭, NM3 打开. 节点 P 和 N 开始放电. 它们的放电速度由输入信号 VIP 和 VIM 决定. 小信号分析可得:

$$T = \frac{C_L(VDD - VT)}{g_m(VIM - V_{source})} - \frac{C_L(VDD - VT)}{g_m(VIP - V_{source})} = \frac{C_L(VDD - VT)}{g_m}$$

$$\frac{VIP - VIM}{(VIM - V_{source})(VIP - V_{source})} \quad (7)$$

C_L 是节点 P 和 N 的等小电容, 包括缓冲器的输入栅电容和管子的结电容; VT 是缓冲器的阈值电压; g_m 是 NM1 和 NM2 的跨导. 当输入信号远小于 $V_{cm} - V_{source}$ 时, 动态放大器从电压到时间的增益为

$$gain \approx \frac{C_L(VDD - VT)}{g_m} \frac{1}{(V_{cm} - V_{source})^2} \quad (8)$$

动态放大器的增益应该足够大, 能够满足 R-S 缓存器的分辨率. 在本次设计中, 增益约为 25 ps/mV.

当节点 P 放电速度大于 N 的放电速度时, Q 变为高电平, QB 变为低电平. 这表明输入信号 VIP 大于 VIM. 在相反的情况下, Q 变为低电平, QB 为高电平. 当节点 P 和 N 放电到地后, R-S 锁存器开始锁存数据.

比较器的共模电压会随着输入信号的变化和电容阵列的切换而发生变化, 从而引起比较器的失调的变化, 从而引入非线性. 在本设计中采用增大 NM3 的电阻, 使 NM1 和 NM2 的源级电压能够跟踪输入共模的变化而变化, 从而减小其影响. 该比较器的噪声主要来源于动态放大器. 但是由于其速度较低, 因此其噪声较小.

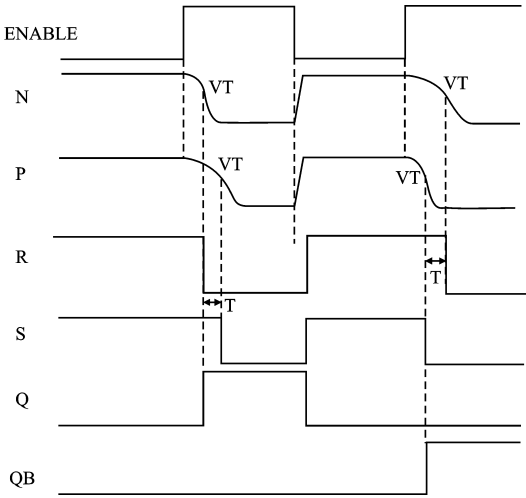


图 5 时间域比较器工作时序

在本设计中, 比较器完成一次比较时间约为 1.5 ns, 功耗为 9 μ W.

3.2 全加器和滤波器的实现

如图 6 所示, 离散积分器和滤波器都是基于累加器. 它们的控制时钟都是外部时钟的十分频. 其中离散积分器在 CLK_A 的控制下对 SAR ADC 的输出结果 DIFF 进行累加, 得到输出数据 DATA.

而滤波器在 CLKS 的控制下,对离散积分器输出 DATA 进行累加. 该滤波器每完成 8 次累加复位一次. 这样构成了一个简单的多速率滤波器. 由于该滤波器较为简单,只能提高 9 dB 的信噪比. 性能与理想滤波器相比有 3 dB 的差距. 但是其功耗和复杂度都较低,在性能、功耗和面积上有较好的折中.

离散积分器和滤波器功耗分别为 6 μ W 和 8 μ W.

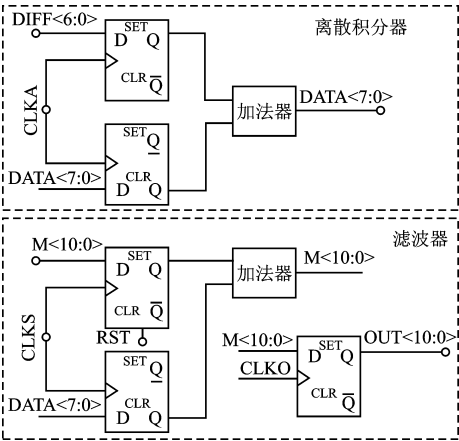


图 6 离散积分器和滤波器框图

4 仿真结果

本文中的跟踪式 SAR ADC 在 90 nm CMOS 工艺下实现. 使用 SPECTRE 进行仿真验证. 图 7 为该跟踪式 SAR ADC 在频率为 227 kHz,峰峰值为 0.95 V 的输入信号,16 MHz 采样频率,8 倍 OSR 情况下的输出 FFT 频谱. 从频谱中可以看到,该 ADC 实现 59.6 dB 的 SNDR,有效位数为 9.6 bit. 其功耗为 28.5 μ W,其中数字电路部分功耗占比约为 60%. 由式(9)的 FOM 公式可得,其品质因数约为 18.4.

$$FOM = \frac{POWER}{2^{ENOB} * 2 * Bandwidth} \tag{9}$$

图 8 所示为其 SNDR 随着输入信号频率变化曲线. 该跟踪式 SAR ADC 性能参数与相关文献的对比如表 1 所示.

由于大部分电路都是在数字域实现,所以该 ADC 能够非常容易地移植到先进工艺. 另外,在先进工艺中,数字电路的动态功耗会显著的下降. 因此该 ADC 能够在先进工艺中获得更高的效率. 以 28 nm 工艺为例,数字电路功耗会下降约 90%. 整个 ADC 功耗会下降超过 50%.

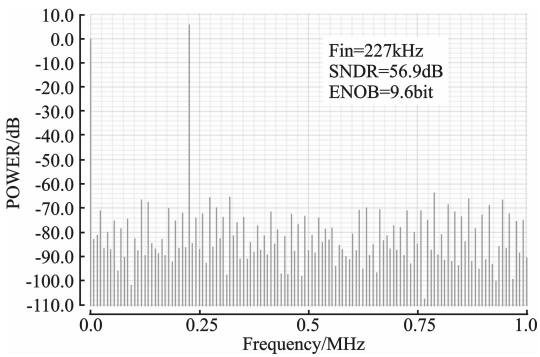


图 7 输出 FFT 频谱

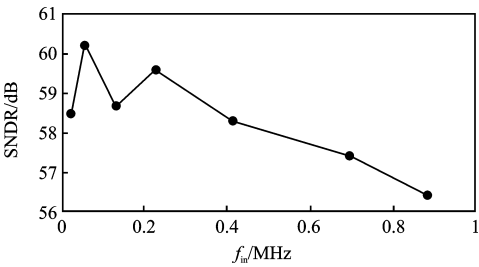


图 8 SNDR~输入信号频率

表 1 性能对比

	文献[1]	文献[3]	文献[5]	本文
ADC 类型	SAR	Hybrid	TADC	TADC
带宽/MHz	0.05	0.125	5	1
工艺/nm	180	90	130	90
电源/V	1	0.4	0.6	1
SNDR/dB	58.4	53.7	68.5	59.6
功耗/ μ W	3.8	0.2	1 000	38.5
FOM/(fJ/step)	56	2.02	45.9	18.4

5 结束语

结合 SAR ADC 的高效率优点,本文基于 SAR ADC 实现了一跟踪式 SAR ADC. 在结构上采用复用 SAR ADC,实现量化器、减法器和数模转换功能,从而大大降低了电路的复杂度和功耗. 另外引入时间域比较器等技术进一步提高了效率. 经过在 90 nm CMOS 工艺下仿真得到,带宽为 1 MHz,实现 SNDR 59.6 dB,功耗约为 28.5 μ W,FOM 值18.4 fJ/step.

参考文献:

[1] Liu Chun-Cheng , ChangSoon-Jyh , HuangGuan-Ying, et al. A 0.92mW 10-bit 50MS/s SAR ADC in 0.13 μ m CMOS Process[C]//Symposium on VLSI Circuits Digest of Technical Papers. IEEE,2009; 236-237.

提升钻井速度.

区块内各井段最优钻头推荐					
井段	钻头类型	钻头型号	钻头尺寸	钻头生产厂家	平均机械钻速
0-1000	牙轮	SKH125G	346 mm	川石	72.8 m/h
1001-2000	牙轮	CM1953SSR	222.2 mm	百施特	34.38 m/h
2001-3000	PDC	M5558HD	215.9 mm	中曼	34 m/h

图 6 区块内各井段最优钻头推荐图

6 结束语

长庆钻井公司年钻井能力在 500 万米以上,多年来在钻井提速方面一直走在行业前列. 针对公司多年来积累的钻井大数据,进行数据的深度挖掘利用,实现钻井提速关键因素分析预测,以较少的投入换取巨大的产出,具有非常好的应用前景.

参考文献:

[1] 刘胜娃. 企业私有云平台安全技术研究[J]. 现代电子技术,2014,37(2): 67-70.

[2] 刘胜娃. 基于贝叶斯网络的攻击图方法在网络安全评估中的应用[J]. 现代电子技术, 2013, 36(9):30-33.

[3] 刘胜娃. 面向企业私有云计算平台的安全构架研究[J]. 现代电子技术,2014,37(4): 142-144.

[4] 陈宁,刘岚. 数据仓库在移动通信企业经营分析系统中的应用 [J]. 现代电子技术,2008,31(9),102-104.

[5] 马纪颖. Web 信息检索中信息分类技术研究 [J]. 现代电子技术, 2008,31(10):76-78.

[6] 包晓安. 基于 ID3 算法的快速分类方法研究[J]. 现代电子技术, 2004,27(7): 74-75.

[7] 马晓昊. 基于云计算的安全数据存储服务的研究与实现[D]. 上海:同济大学,2008.

[8] 张凯. 基于移动数据城域网的建设规划 [J]. 现代电子技术, 2014,37(21):147-149.

[9] 丁晓伟. 基于 BP 网络的设备状态分类器的设计[J]. 现代电子技术,2003,26(17):27-28.

[10] 刘胜娃. 移动数据交互平台中的信息分类关键技术研究[J]. 现代电子技术,2015 , 38(19) :54-56.

作者简介:

刘胜娃 男,(1963-),高级工程师. 研究方向为计算机软件. E-mail: zjsxslsw@cnpc. com. cn.

苏兴华 男,(1968-),高级工程师. 研究方向为计算机软件.

詹 胜 男,(1975-),高级工程师. 研究方向为计算机软件.

高 翔 男,(1974-),副教授. 研究方向为计算机应用.

(上接第 127 页)

[2] Andrea Agnes, Edoardo Bonizzoni, Piero Malcovati, et al. A 9, 4-ENOB 1V 3, 8uW 100KS/s SAR ADC with Time-Domain Comparator [C] // International Solid-State Circuits Conference Papers. IEEE, 2008: 246,610.

[3] ChenYan-Jiun , HsiehChih-Cheng . A 0. 4V 2. 02fJ/Conversion-step 10-bit Hybrid SAR ADC with Time-domain Quantizer in 90nm CMOS[C]//Symposium on VLSI Circuits Digest of Technical Papers. IEEE, 2014: 1-2.

[4] Jeffrey Fredenburg, Michael Flynn. A 90MS/s 11MHz Bandwidth 62dB SNDR Noise-Shaping SAR ADC[C]// In-

ternational Solid-State Circuits Conference Papers. IEEE, 2012: 468-469.

[5] 汪荔,贺林. 一种 11 位过采样跟踪型 SAR A/D 转换器 [J]. 微电子学, 2016,37(1): 5-8.

作者简介:

于宝亮 男,(1987-),硕士研究生. 研究方向为数字模拟混合电路.

冯海刚(通讯作者) 男,(1975-),博士,副教授. 研究方向为射频收发机,模拟、数模混合 IC、SOC,以及电磁兼容等. E-mail: feng. haigang@sz. tsinghua. edu.